



INVESTOR IN PEOPLE

Application No: GB 0031588.7
Claims searched: 1-25

Examiner: Steven Morgan
Date of search: 21 November 2001

Patents Act 1977 Search Report under Section 17

Databases searched:

UK Patent Office collections, including GB, EP, WO & US patent specifications, in:

UK Cl (Ed.S): H1K(KGAFX,KGAX,KJAP,KJAX)

Int Cl (Ed.7): H01L 21/768, 21/8242

Other: Online: WPI, JAPIO, EPODOC

Documents considered to be relevant:

Category	Identity of document and relevant passage	Relevant to claims
A	JP 4 030 572 A (SONY)	

X	Document indicating lack of novelty or inventive step	A	Document indicating technological background and/or state of the art.
Y	Document indicating lack of inventive step if combined with one or more other documents of same category.	P	Document published on or after the declared priority date but before the filing date of this invention.
&	Member of the same patent family	E	Patent document published on or after, but with priority date earlier than, the filing date of this application.

© EPODOC / EPO

TI - MANUFACTURE OF SEMICONDUCTOR MEMORY

PN - JP4030572 A 19920203

AP - JP19900135450 19900528

OPD - 1990-05-28

PR - JP19900135450 19900528

PA - SONY CORP

IN - KURODA HIDEAKI

IC - H01L21/28 ; H01L27/108

© WPI / DERWENT

TI - Semiconductor dynamic RAM mfr. - by covering each of MOSFET gate electrode with oxide film, and forming contact hole in it
NoAbstract Dwg 1/2

PN - JP4030572 A 19920203 DW199218 009pp

OPD - 1990-05-28

PR - JP19900135450 19900528

PA - (SONY) SONY CORP

IC - H01L21/28 ; H01L27/10

AN - 1992-144150 [18]

© PAJ / JPO

TI - MANUFACTURE OF SEMICONDUCTOR MEMORY

AB - PURPOSE: To alleviate the stepped region and improve processing accuracy by covering a gate electrode with an insulating film including a nitride film and removing insulating film formed on the nitride film among the insulating film in the vicinity of a contact region.

- CONSTITUTION: Wet etching is carried out using a resist layer 17 as a mask to remove PSG film 16, BPSG film 15, silicon oxide film 10 in the peripheral circuit. In this etching, silicon oxide is removed and silicon nitride film 9 functions as a stopper of etching because of its selectivity. The insulating film of the silicon nitride film 9 is removed reliably with high accuracy. After a contact hole 22 is formed, an aluminum wiring layer 23 formed for connection with the contact hole 22 and predetermined patterning is carried out. In this case, since only the reflowed BPSG film 21 of the second layer exists on the silicon nitride film 9 in the periphery of the aluminum wiring layer 23, the perpendicularly stepped region may be alleviated sufficiently.

PN - JP4030572 A 19920203

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-30572

⑮ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月3日

H 01 L 27/108
21/28

M

7738-4M
8624-4M
8624-4M

H 01 L 27/10

3 2 5 C
3 2 5 P

審査請求 未請求 請求項の数 2 (全9頁)

⑭ 発明の名称 半導体メモリの製造方法

⑯ 特 願 平2-135450

⑰ 出 願 平2(1990)5月28日

⑱ 発 明 者 黒 田 英 明 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 出 願 人 ソ ニ ー 株 式 会 社 東京都品川区北品川6丁目7番35号
⑳ 代 理 人 弁 理 士 小 池 晃 外2名

明細書

1. 発明の名称

半導体メモリの製造方法

2. 特許請求の範囲

(1) 基板上にMOSトランジスタが形成され、所要の配線層により配線される半導体メモリの製造方法において、

上記MOSトランジスタのゲート電極を基板上に形成する工程と、

上記ゲート電極の形成後に該ゲート電極を窒化膜を介在させた絶縁膜で被覆する工程と、

上記配線層と上記MOSトランジスタのコンタクト領域の近傍の上記絶縁膜のうち上記窒化膜上に形成された絶縁膜を除去する工程と、

上記配線層を上記コンタクト領域に形成する工程とを有することを特徴とする半導体メモリの製造方法。

(2) 同一基板上にメモリセル部及び周辺回路部を

有し、これらメモリセル部及び周辺回路部にMOSトランジスタが形成されてなる半導体メモリの製造方法において、

上記メモリセル部及び上記周辺回路部に上記MOSトランジスタのゲート電極を形成する工程と、

上記ゲート電極を形成した後に上記メモリセル部及び上記周辺回路部を絶縁膜で被覆する工程と、

上記メモリセル部をコンタクト領域のみに窓部が設けられたマスクで覆いながら、異方性エッチングによって、該メモリセル部の上記絶縁膜にコンタクトホールを形成すると共に上記周辺回路部の上記ゲート電極の側壁に上記絶縁膜を残す工程と、

露出した少なくとも上記コンタクトホールの内部に酸化膜を形成する工程と、

全面に第2の絶縁膜を形成する工程と、

上記周辺回路部をマスクしながら異方性エッチングを行って、上記メモリセル部の上記コンタクトホールの側壁に上記第2の絶縁膜を残す工程とを有することを特徴とする半導体メモリの製造方

法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はダイナミックRAM等の半導体メモリの製造方法に関する。

(発明の概要)

本願の第1の発明は、基板上にMOSトランジスタが形成され、所要の配線層により配線される半導体メモリの製造方法において、上記MOSトランジスタのゲート電極を窒化膜を介在させた絶縁膜で被覆し、上記配線層を形成する際には、コンタクト領域の近傍の上記絶縁膜のうち上記窒化膜上に形成された絶縁膜を除去してから、上記配線層を上記コンタクト領域に形成することにより、コンタクト領域における垂直段差の緩和等を精度良く行うものである。

また、本願の第2の発明は、メモリセル部及び周辺回路部を有してなる半導体メモリの製造方法

そこで、本件出願人には、先に、特願平1-241613号の明細書及び図面を用いて、コンタクト領域における層間絶縁膜を一層のみ残して他の層を除去する技術を提案している。

また、半導体メモリに用いるMOSトランジスタの微細化に伴うホットキャリア対策として、LDD構造が採用されている。このLDD構造を得るために、従来では、ゲート電極のパターニングの後、低濃度のイオン注入を行い、さらにCVD法によってシリコン酸化膜を堆積し、全面RIEを行ってゲート電極の側壁にそのシリコン酸化膜を残存させている。ところが、全面RIEの際には、基板にダメージが入り易く、その結果、接合リーク等が誘発される。

そこで、本件出願人は、先に、特願平1-331548号の明細書及び図面を用いて、周辺回路部のみでサイドウォールを形成しながらメモリセル部で単層若しくは複層の絶縁膜を残すことにより、基板へのダメージを防止して、接合リークを未然に防止する技術を提案している。

において、上記メモリセル部のコンタクトホール形成領域以外を覆ったマスクを用いて異方性エッチングを行い、メモリセル部にはコンタクトホールを形成すると共に上記周辺回路部には上記ゲート電極の側壁に該絶縁膜を残し、そのコンタクトホール内に酸化膜を形成した後に、第2の絶縁膜をそのコンタクトホールの側壁に残すようにすることにより、工程全体の短縮化を図ると共に、接合リークの低減等を実現するものである。

(従来の技術)

半導体メモリでは、その高集積化への要求から配線層の多層化が試みられている。この多層化に伴って、層間絶縁膜もその数が増加する傾向にあり、このような層間絶縁膜の層数が増えた場合には、層間絶縁膜の全体の厚みも厚くなる。そして、最も上層の配線層を直接基板の拡散層にコンタクトさせる時では、そのコンタクト部における垂直段差が深くなり、その結果、段切れ等が発生しやすくなる。

(発明が解決しようとする課題)

特願平1-241613号の明細書及び図面に記載されるように、コンタクト領域における層間絶縁膜を一層のみ残して他の層を除去することで、配線層を形成した場合の段差は大幅に緩和されることになる。そして、このような先行技術について、一層のみ残して他の層を除去する工程をより精度良く行うことで、十分な段差の緩和がなされると共に素子の信頼性が向上する。

また、特願平1-331548号の明細書及び図面に記載されるように、周辺回路部でのみサイドウォールを形成し、メモリセル部で絶縁膜を残す技術により、接合リーク等が防止される。そして、このような先行技術について、より工程の短縮化を図ることが、低コスト化等を図る上で有利である。

そこで、本発明は、上述の各先行技術をそれぞれ改善させ、段差の緩和と共に加工精度の向上を図る半導体メモリの製造方法の提供や、接合リー

クの低減と共に工程の短縮化を実現する半導体メモリの製造方法の提供を目的とする。

〔課題を解決するための手段〕

上述の目的を達成するために、本願の第1の発明の半導体メモリの製造方法は、基板上にMOSトランジスタが形成され、所要の配線層により配線される半導体メモリの製造方法において、上記MOSトランジスタのゲート電極を基板上に形成する工程と、上記ゲート電極の形成後に該ゲート電極を窒化膜を介在させた絶縁膜で被覆する工程と、上記配線層と上記MOSトランジスタのコンタクト領域の近傍の上記絶縁膜のうち上記窒化膜上に形成された絶縁膜を除去する工程と、上記配線層を上記コンタクト領域に形成する工程とを有することを特徴とする。

ここで、窒化膜を介在させた絶縁膜は、例えば、シリコン酸化膜、シリコン窒化膜、シリコン酸化膜の3層構造やPSG膜、シリコン窒化膜、シリコン酸化膜の3層構造とすることができ、そのう

ールの側壁に上記第2の絶縁膜を残す工程とを有することを特徴とする。

〔作用〕

上述の第1の発明では、窒化膜を介在させた絶縁膜がゲート電極を覆う。この窒化膜は他の絶縁膜の部分とは、エッチングの選択性を有するため、エッチングのストッパーとして機能する。このため正確に窒化膜上の絶縁膜を除去することができ、その結果、段差が緩和される。

また、上述の第2の発明では、周辺回路部をLDD構造にするためにゲート電極の側壁に絶縁膜を残す工程で、同時にメモリセル部ではコンタクトホールが形成される。このため別工程でエッチングする場合に比べて工程が短縮される。そのメモリセル部に形成されたコンタクトホールには、酸化膜が形成された後、第2の絶縁膜が形成される。この第2の絶縁膜は、層間耐圧確保や段差の緩和のために用いられるが、予め酸化膜が形成された上に堆積されるため、第2の絶縁膜による基

ち最も下層のシリコン酸化膜やPSG膜を薄くすることで、十分に垂直段差を緩和できる。

また、本願の第2の発明の半導体メモリの製造方法は、同一基板上にメモリセル部及び周辺回路部を有し、これらメモリセル部及び周辺回路部にMOSトランジスタが形成されてなる半導体メモリの製造方法において、上記メモリセル部及び上記周辺回路部に上記MOSトランジスタのゲート電極を形成する工程と、上記ゲート電極を形成した後に上記メモリセル部及び上記周辺回路部を絶縁膜で被覆する工程と、上記メモリセル部をコンタクト領域のみに窓部が設けられたマスクで覆いながら、異方性エッチングによって、該メモリセル部の上記絶縁膜にコンタクトホールを形成すると共に上記周辺回路部の上記ゲート電極の側壁に上記絶縁膜を残す工程と、露出した少なくとも上記コンタクトホールの内部に酸化膜を形成する工程と、全面に第2の絶縁膜を形成する工程と、上記周辺回路部をマスクしながら異方性エッチングを行って、上記メモリセル部の上記コンタクトホ

板へのストレスが緩和されることになる。

〔実施例〕

本発明の好適な実施例を図面を参照しながら説明する。

第1の実施例

本実施例は、ダイナミックRAMの製造方法であり、ゲート電極を被覆する絶縁膜が、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜の3層構造からなる例である。以下、本実施例をその製造工程に従って説明する。

まず、単結晶のp型シリコン基板1a、1bの表面に選択酸化法によってフィールド酸化膜2が選択的に形成される。なお、第1図a～第1図f中、シリコン基板1a、1bは同一の基板を破断して示しており、シリコン基板1aはメモリセル部とされ、シリコン基板1bは周辺回路部とされる。

続いて、フィールド酸化膜2の形成されていな

いシリコン基板1a、1bの表面にゲート酸化膜3が形成される。そして、そのゲート酸化膜3上やフィールド酸化膜2上に、ポリシリコン膜と高融点金属膜が積層され、ゲートのパターンニングによってポリサイド構造のゲート電極4が形成される。

このゲート電極4のパターンニングの後、そのパターンニングされたゲート電極4とフィールド酸化膜2とをマスクとして低濃度の不純物のイオン注入が行われる。打ち込まれる不純物はリン、砒素等である。このイオン注入により低濃度の不純物拡散領域5が選択的にシリコン基板1a、1bの表面に得られる。次に、各MOSTランジスタをLDD構造にするために、全面にシリコン酸化膜を堆積させ、異方性エッチングを行って、各ゲート電極4の側壁にサイドウォール6を残す。そして、そのサイドウォール6を有するゲート電極4をマスクとして用いて高濃度の不純物のイオン注入を行う。その結果、第1図aに示すように、シリコン基板1a、1bの表面には、選択的に高濃

度の不純物領域7が形成される。この時に導入される不純物は、例えば砒素、リン等である。

このようにソース・ドレインとなる高濃度の不純物領域7が形成されたところで、ゲート電極4を被覆する絶縁膜が全面に形成される。第1図bに示すように、この絶縁膜は、シリコン酸化膜8、シリコン窒化膜9、シリコン酸化膜10の3層構造とされる。シリコン酸化膜8はPSG等のリフロー膜でも良い。シリコン酸化膜8の膜厚は500Å程度以下とされ、薄ければ薄い程良い。また、将来エッチングのストッパーとして機能するシリコン窒化膜はその膜厚が例えば300Å程度以下とされる。

次に、メモリセル部では、キャパシタを形成すべき領域で上記シリコン酸化膜8、シリコン窒化膜9、シリコン酸化膜10を貫通させてコンタクトホール11が形成される。このコンタクトホール11の底部でシリコン基板1aの不純物領域7の表面が露出する。続いて、全面にポリシリコン膜12が形成され、このポリシリコン膜12がパ

ターンニングされてメモリセル毎のキャパシタの記憶ノードとされる。このポリシリコン膜12はコンタクトホール11の領域から上述のシリコン酸化膜8、シリコン窒化膜9、シリコン酸化膜10の3層構造とされた絶縁膜上に延在され、そのポリシリコン膜12の端部は、図中、およそゲート電極4上に存在する。このようなメモリセル毎のポリシリコン膜12を形成した後、全面に誘電体膜13が形成され、その誘電体膜13上にプレート電極層14が形成される。プレート電極層14は、ビット線のコンタクト領域と周辺回路部で開口される。

このようなキャパシタを形成した後、第1図cに示すように、第1層目のBPSG膜15が全面に形成され、このBPSG膜15はリフローされる。この時、プレート電極層14の下部の絶縁膜は、シリコン窒化膜9を介在させた構造を有するため、第1層目のBPSG膜15からの不純物の直接的なドーピングをプレート電極層14に対して行うこともでき、この場合にシリコン窒化膜9

が拡散のストッパーとして機能する。さらに第1層目のBPSG膜15上にPSG膜16がCVD法により積層される。このPSG膜上にシリコン窒化膜を形成しても良い。このように第1層目のBPSG膜15上にPSG膜16等を積層させることにより、リフロー時の膜のストレスを緩和させることができ、次に積層するポリシリコン膜の結晶性を悪化させずに済む。

次に、第1図dに示すように、レジスト層17が形成され、このレジスト層17は選択的な露光・現像によりメモリセル部を覆うマスクとされ、周辺回路部で窓部18が形成されたマスクとされる。その結果、窓部18の底部では、PSG膜16が露む。

次に、レジスト層17をマスクとして、ウェットエッチングが行われ、周辺回路部のPSG膜16、BPSG膜15、シリコン酸化膜10が除去される。このエッチングでは、酸化シリコンが除去されて行き、シリコン窒化膜9はその選択性からエッチングのストッパーとして機能する。従っ

て、周辺回路部では、第1図eに示すように、シリコン窒化膜9が表面に露出し、シリコン窒化膜9上の絶縁膜は確實且つ精度良く除去されることになる。

続いて、メモリセル部では、ビット線のコンタクトホール19が形成され、このコンタクトホール19を介してシリコン基板1aの不純物領域7に接続するポリサイド構造のビット線20が形成される。このポリサイド構造のビット線20の形成後、全面にリフロー膜である第2層目のBPSC膜21が形成される。この第2層目のBPSC膜21の周辺回路部の領域にコンタクトホール22が形成された後、その第2層目のBPSC膜21がリフローされる。そして、第1図fに示すように、コンタクトホール22に接続するようにアルミニウム系配線層23が形成され、所要のパターニングが行われる。この時、アルミニウム系配線層23の周囲では、シリコン窒化膜9上に、リフローされた第2層目のBPSC膜21が存在するのみであるため、その垂直段差が十分に緩和さ

れていることになる。従って、アルミニウム系配線層23の段切れ等の問題は防止されることになる。

このように本実施例のダイナミックRAMの製造方法では、アルミニウム系配線層23の垂直段差がシリコン窒化膜9、シリコン酸化膜8からなっており、精度良くシリコン窒化膜9上の絶縁膜が除去されて、その垂直段差が十分に緩和されたものとなる。従って、段切れ等の問題が防止される。また、絶縁膜をシリコン窒化膜9を介在させた構造とすることで、第1層目のBPSC膜15からプレート電極層目の14への直接的なドーピングも可能となる。

なお、本実施例では、周辺回路部にのみアルミニウム系配線層23が形成される構造を説明したが、本発明はこれに限定されず、メモリセル部に形成されるアルミニウム系配線層に適用することも可能である。

第2の実施例

本実施例はダイナミックRAMの製造方法であり、周辺回路部のみMOSトランジスタがLDD構造とされる例である。以下、本実施例をその工程に従って第2図a～第2図fを参照しながら説明する。

まず、p型の単結晶シリコン基板31a、31b上に、選択的にフィールド酸化膜32が形成される。なお、第2図a～第2図f中、シリコン基板31a、31bは同一の基板を破断して示しており、シリコン基板31aはメモリセル部とされ、シリコン基板31bは周辺回路部とされる。

続いて、フィールド酸化膜32の形成されていないシリコン基板31a、31bの表面にゲート酸化膜33が形成される。そして、そのゲート酸化膜33上やフィールド酸化膜32上に、ポリシリコン膜と高融点金属膜が積層され、ゲートのパターニングによってポリサイド構造のゲート電極34が形成される。

そして、第2図aに示すように、上記ゲート電極34とフィールド酸化膜32をマスクとして、

セルフアラインでイオン注入が行われ、低濃度の不純物領域35が形成される。

次に、第2図bに示すように、全面に絶縁膜が積層されるが、その絶縁膜はPSG膜36、シリコン窒化膜37、シリコン酸化膜38からなる3層構造とされる。PSG膜36は1000Å以下程度の膜厚とされる。シリコン窒化膜37は200Å以上程度の膜厚とされる。シリコン酸化膜38は2000Å以上程度の膜厚とされる。このようにシリコン窒化膜37を介在させた3層構造とすることで、記憶ノードとなるポリシリコン膜の形成前の前処理としてウットエッチングを使用する場合にも、そのダメージを防止できる。

このような3層構造の絶縁膜をゲート電極4を覆って形成した後、メモリセル部ではコンタクトホールを形成し、周辺回路部ではLDD構造とするような異方性エッチングを行う。すなわち、第2図cに示すように、メモリセル部のシリコン基板31a上でキャパシタを形成すべき領域に窓電極40を有し、且つ周辺回路部のシリコン基板31

b上で大きく開口した窓部41を有するレジスト層39が形成される。次に、このレジスト層39をマスクとして異方性エッチングが行われる。この異方性エッチングによって、第2図cに示すように、メモリセル部側で不純物領域35上を開口させたコンタクトホール42が、シリコン酸化膜38、シリコン窒化膜37、PSG膜36を除去することにより形成され、同時に周辺回路部側ではゲート電極4の側壁にシリコン酸化膜38、シリコン窒化膜37、PSG膜36からなるサイドウォール絶縁膜43が残存する。

次に、レジスト層39が除去され、露出した周辺回路部のシリコン基板31bの表面やメモリセル部のコンタクトホール42の表面には、およそ膜厚200Å以下の薄い酸化膜57が形成される。このような薄い酸化膜57が形成されることで、周辺回路部ではその薄い酸化膜57が高濃度不純物領域形成用のイオン注入のバッファ膜やアニールのキャップ膜として機能し、メモリセル部では直接的なCVDシリコン酸化膜の堆積によるスト

レスがその薄い酸化膜57によって緩和される。そして、周辺回路部には、高濃度の不純物領域44がゲート電極34、フィールド酸化膜32及びサイドウォール絶縁膜43をマスクとしたイオン注入により形成される。

次に、平坦性に優れたTEOS(テトラエトキシシラン)を用い、シリコン酸化膜45からなる第2の絶縁膜を全面に形成する。このシリコン酸化膜45は、TEOSの代わりにPSG膜、シリコン窒化膜、シリコン酸化膜の3層構造からなる膜であっても良い。このシリコン酸化膜45は、層間絶縁膜として上記コンタクトホール42や不純物領域44上を覆って形成される。シリコン酸化膜45を直接基板上に形成した時では、そのストレスが問題となるが、コンタクトホール42の底部には薄い酸化膜57が形成されているために、ストレスの問題は防止される。次に、第2図dに示すように、周辺回路部のみを覆うようなレジスト層46が形成される。そして、このレジスト層46をマスクとしてエッチングを行う。このエッ

チングによって、メモリセル部ではコンタクトホール42内等の段差部分にシリコン酸化膜45が残される。この残されたシリコン酸化膜45は、マスクずれの場合の層間耐圧の減少を補うことになる。また、段差を緩和させる機能から、リソグラフィの精度を向上させることもできる。

次に、エッチングにより露出したコンタクトホール42の底部で接続するようなポリシリコン膜47が形成される。このポリシリコン膜47は、第2図eに示すように、メモリセル毎にパターンニングされ、キャパシタの記憶ノードとして機能する。このポリシリコン膜47は、ゲート電極34との間で、残存したシリコン酸化膜45により層間耐圧が確保され、また、そのシリコン酸化膜45によって平坦化されているために精度良く加工される。

続いて、形成されたポリシリコン膜47上に誘電体膜48が形成され、その誘電体膜48を挟んでポリシリコン膜47に対向するようにプレート電極層49が形成される。このプレート電極層4

9は、ビット線のコンタクトホールで開口される。そして、プレート電極層49上に、第1層目のBPSG膜50が形成され、リフロー後、PSG膜51が形成される。そして、そのPSG膜51、第1層目のBPSG膜50、シリコン酸化膜38、シリコン窒化膜37、PSG膜36をパターンニングして、ビット線のコンタクトホール52が一對のゲート電極34、34の間の領域に形成される。そして、このコンタクトホール52を介して不純物領域35に接続するようにポリサイド構造のビット線53がメモリセル部に形成される。このビット線53の形成後、全面に第2層目のBPSG膜54が形成される。周辺回路部では、例えば誘電体膜48に窒化膜を介在させることや、シリコン酸化膜45に窒化膜を介在させることで、第1層目のBPSG膜50やPSG膜を除去することができ、これらの除去により段差の緩和を図ることができる。そして、リフローされた第2層目のBPSG膜54のコンタクトホール55にアルミニウム系配線層56が形成され、所要の配線がな

される。

このように本実施例のダイナミック RAM の製造方法では、周辺回路部でゲート電極の側壁に絶縁膜を残すエッチングとメモリセル部でコンタクトホールを形成するためのエッチングが同時に行われるため、その工程が別工程で行われる場合に比べて短縮化されることになる。また、コンタクトホール 42 の形成後にシリコン基板 31a の表面を覆う薄い酸化膜 57 は、基板へのストレスを防止し、メモリセル部で残存するシリコン酸化膜 45 は、段差の緩和や層間耐圧の確保のために機能することになる。

(発明の効果)

本願の第 1 の発明の半導体メモリの製造方法では、配線層のコンタクト部において、その垂直段差が窒化膜から下の部分のみからなっており、十分に緩和されたものとなる。従って、段切れ等の問題が防止される。さらに、その加工の際にはその窒化膜がエッチングのストッパーとして機能するた

めに高精度に加工できる。

また、本願の第 2 の発明の半導体メモリの製造方法では、周辺回路部でゲート電極の側壁に絶縁膜を残すエッチングとメモリセル部でコンタクトホールを形成するためのエッチングが同時に行われるため、その工程が別工程で行われる場合に比べて短縮化されることになる。また、露出したコンタクトホール内に形成される酸化膜によって基板のストレスを緩和させることもでき、第 2 の絶縁膜により段差の緩和や層間耐圧の確保もなされる。

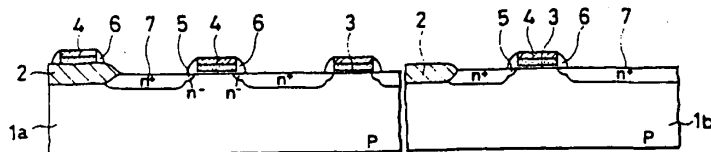
4. 図面の簡単な説明

第 1 図 a ～ 第 1 図 f は本発明の半導体メモリの製造方法の一例をその工程に従って説明するためのそれぞれ工程断面図、第 2 図 a ～ 第 2 図 f は本発明の半導体メモリの製造方法の他の一例をその工程に従って説明するためのそれぞれ工程断面図である。

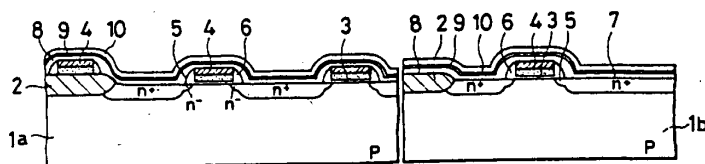
- 1 a, 1 b, 31 a, 31 b … シリコン基板
- 4, 34 … ゲート電極
- 9, 37 … シリコン窒化膜
- 8, 10, 38, 45, 57 … シリコン酸化膜
- 15, 21, 50, 54 … BPSG 膜
- 16, 36, 51 … PSG 膜
- 22, 42 … コンタクトホール
- 23, 56 … アルミニウム系配線層
- 47 … ポリシリコン膜

特許出願人 ソニー株式会社

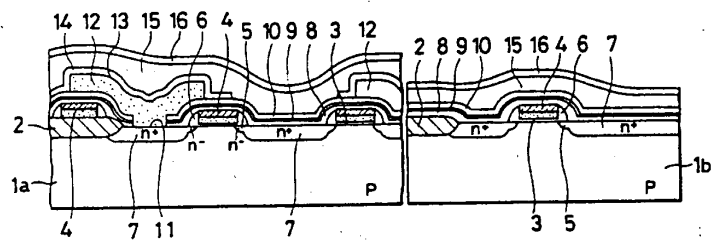
代理人弁理士 小池 晃 (他 2 名)



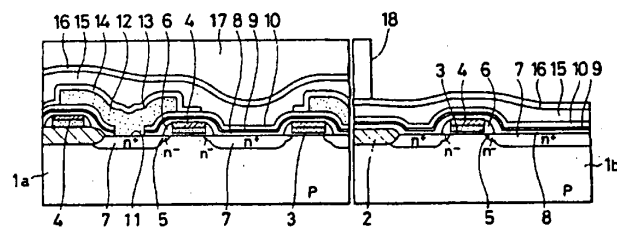
第 1 図 a



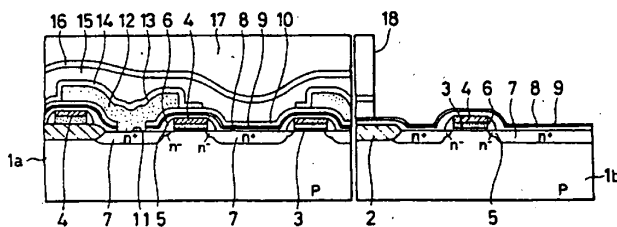
第 1 図 b



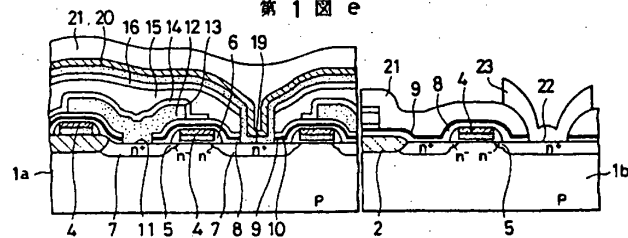
第 1 図 c



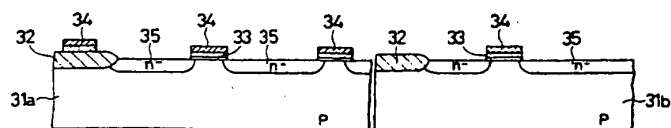
第 1 図 d



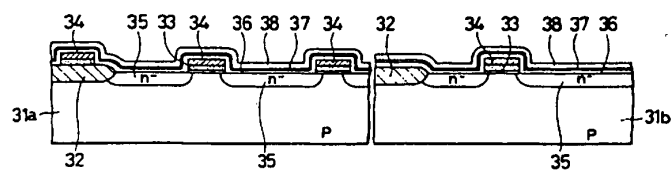
第 1 図 e



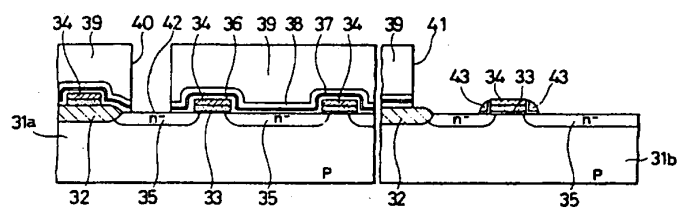
第 1 図 f



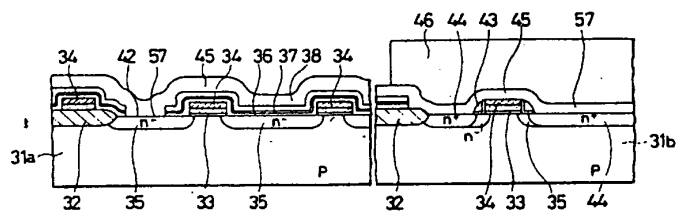
第 2 図 a



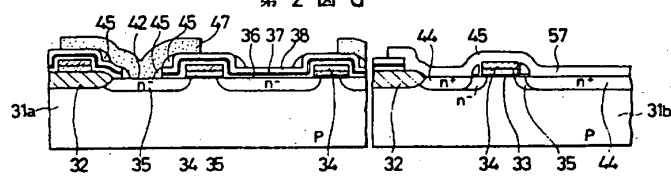
第 2 図 b



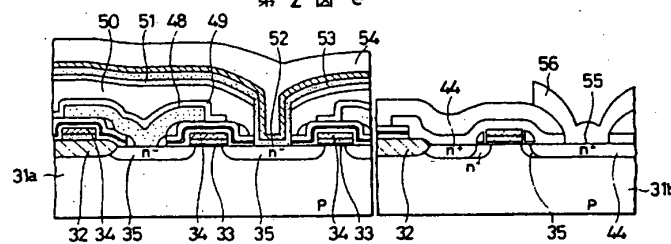
第 2 図 c



第 2 図 d



第 2 図 e



第 2 図 f